

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-122813  
(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

G02F 1/136

(21)Application number : 06-253883

(71)Applicant : SHARP CORP

(22)Date of filing : 19.10.1994

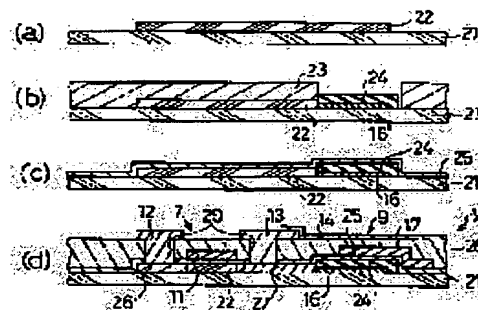
(72)Inventor : ISHIGURO KENICHI

## (54) LIQUID CRYSTAL DISPLAY ELEMENT AND ITS MANUFACTURE

### (57)Abstract:

**PURPOSE:** To improve the performance of accumulating capacity by having the first insulating film composed of the oxidized film of nonsolitary crystal silicon and the second insulating film being the same as the gate insulating film of a thin film transistor between the first and the second electrode.

**CONSTITUTION:** Addition capacity 9 is composed by having an insulating film 24 composed of the oxidized film of nonsolitary crystal silicon and an insulating film (gate insulating film 25) composed of material being the same as the gate insulating film 25 of a picture element TFT 7 between an addition capacity electrode 16 composed of nonsolitary crystal silicon and an addition capacity electrode 17 composed of a conductive body. The addition capacity 9 has two kinds of insulating films, namely the insulating film 24 and the gate insulating film 25, and its insulating film is formed thicker in comparison with the picture element TFT 7. Thus even in the case where the gate insulating film 25 is formed thinner for making the performance of the picture element TFT 7 higher, the reliability of the addition capacity 9 is not damaged. In addition to that, the occurrence of a defect being due to a pin hole becomes difficult.



## LEGAL STATUS

[Date of request for examination]

10.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3105408

[Date of registration]

01.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-122813

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.<sup>5</sup>

G 0 2 F 1/136

識別記号

5 0 0

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平6-253883

(22) 出願日 平成6年(1994)10月19日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 石黒 謙一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

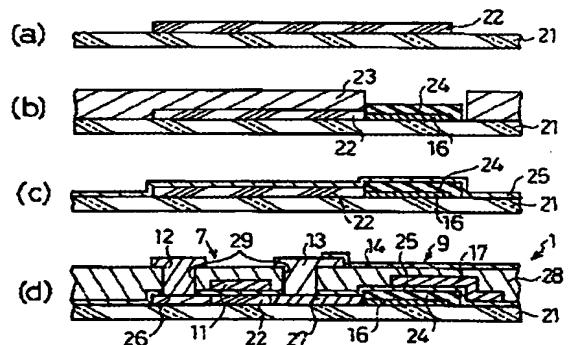
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 液晶表示素子およびその製造方法

(57) 【要約】

【構成】 液晶表示素子は、付加容量9が、非単結晶シリコンからなる付加容量電極16と、導電体からなる付加容量電極17との間に、該非単結晶シリコンの酸化膜からなる絶縁膜24と、画素TFT7のゲート絶縁膜25と同一の材料からなる絶縁膜とを有してなっている。つまり、付加容量9は、画素TFT7と比較して、その絶縁膜が分厚く形成されている。

【効果】 付加容量は、ゲート絶縁膜がより薄く形成されて例えばピンホール等が発生し易くなった場合においても、上記ピンホールに由来する欠陥が発生し難くなっている。これにより、画素TFTの高性能化を図ることができ、かつ、付加容量の信頼性を維持することができる液晶表示素子、即ち、画素TFTの性能、および、付加容量の耐圧性等の信頼性が向上された液晶表示素子をより安価に提供することができる。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタおよび蓄積容量を有し、アクティブマトリクス駆動方式で駆動される液晶表示素子において、上記蓄積容量が、非単結晶シリコンからなる第一電極と、第二電極との間に、該非単結晶シリコンの酸化膜からなる第一絶縁膜と、上記薄膜トランジスタのゲート絶縁膜と同一の第二絶縁膜とを有してなることを特徴とする液晶表示素子。

【請求項2】 上記非単結晶シリコンは、薄膜トランジスタに供される電界効果電子移動度 $\mu$ が $5(\text{cm}^2/\text{V}\cdot\text{s})$ 以上の多結晶シリコンに、イオン注入がなされて形成されていることを特徴とする請求項1記載の液晶表示素子。

【請求項3】 蓄積容量を有し、アクティブマトリクス駆動方式で駆動される液晶表示素子の製造方法において、液晶表示素子基板上に非単結晶シリコンからなる薄膜を形成し、該薄膜における上記蓄積容量が形成されるべき領域以外をマスクした後、露出している該非単結晶シリコン表面を酸化して酸化膜を形成することを特徴とする液晶表示素子の製造方法。

【請求項4】 感光性樹脂でマスクすることを特徴とする請求項3記載の液晶表示素子の製造方法。

【請求項5】 上記酸化膜上に薄膜トランジスタのゲート絶縁膜と同一の絶縁膜を形成した後、該絶縁膜上に、薄膜トランジスタのゲート電極と同一の薄膜を形成することを特徴とする請求項3または4記載の液晶表示素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置等の平面ディスプレイ装置に供され、アクティブマトリクス駆動方式で駆動される液晶表示素子、および、その製造方法に関するものである。

## 【0002】

【従来の技術】 近年、平面ディスプレイ装置としての液晶表示装置に供される液晶表示素子の開発、特に、ドライバモノリシックパネルの開発が活発に行われている。また、該パネルに使用される薄膜トランジスタ (Thin Film Transistor、以下、TFTと称する) として、多結晶シリコン (ポリシリコン) を用いたTFTが種々検討されている。

【0003】 そして、このようなTFTを有し、アクティブマトリクス駆動方式で駆動される液晶表示素子においては、信号蓄積キャパシタである付加容量 (蓄積容量) が配設されている。また、上記液晶表示素子の構成は、例えば、特公平1-33833号公報等に記載されている。上記従来の液晶表示素子の構成について、図5および図6を参照しながら、以下に説明する。

【0004】 図5および図6に示すように、上記従来の液晶表示素子は、基板51上に、半導体層56が形成されている。半導体層56は、所定の方法により、該当す

る領域が、TFT52のソース領域53、ドレイン領域54、および、付加容量60の付加容量電極55とされている。上記の半導体層56上には、TFT52のゲート絶縁膜57が形成されている。ゲート絶縁膜57上には、TFT52のゲート電極58、および、付加容量60の付加容量電極59が形成されると共に、層間絶縁膜61が形成されている。そして、層間絶縁膜61上には、画素容量65の画素電極62が形成されている。また、上記のソース領域53上には、ソース電極63が形成されており、ドレイン領域54上には、ドレイン電極64が形成されている。上記の画素電極62は、ドレイン電極64と電気的に接続されている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、上記従来の構成では、付加容量60は、付加容量電極55・59間に、絶縁膜としてゲート絶縁膜57のみを有してなっている。このため、ゲート絶縁膜57をより薄く形成し、TFT52の高性能化を図ると、付加容量60の絶縁膜も薄くなってしまふ。その上、付加容量60部分に供される絶縁膜 (つまり、ゲート絶縁膜57) は、TFT52部分に供される絶縁膜と比較して面積が大きい。従って、ゲート絶縁膜57をより薄く形成すると、例えば、該ゲート絶縁膜57にピンホール等の欠陥が発生し易くなる。つまり、ゲート絶縁膜57をより薄く形成し、TFT52の高性能化を図ると、付加容量60の信頼性が損なわれてしまうという問題点を有している。

【0006】 また、TFT52部分に供されるゲート絶縁膜57を薄く形成し、一方、付加容量60部分に供されるゲート絶縁膜57を厚く形成するには、該ゲート絶縁膜57を形成するための工程数が凡そ2倍に増加する。つまり、パターンニング工程や成膜工程等を含むフォトリソ工程 (製造工程) の数が凡そ2倍に増加する。このため、液晶表示素子の歩留りの低下や、コストアップを招来するという新たな問題点を生じることとなる。

【0007】 本発明は、上記従来の問題点に鑑みられたものであり、その目的は、薄膜トランジスタの高性能化を図ることができる液晶表示素子、即ち、蓄積容量の信頼性を維持することができる液晶表示素子、即ち、薄膜トランジスタの性能、および、蓄積容量の信頼性が向上された液晶表示素子を提供することにある。また、本発明の他の目的は、上記性能および信頼性が向上された液晶表示素子を、従来の液晶表示素子と同水準の歩留りおよびコストでもって製造することができる製造方法を提供することにある。

## 【0008】

【課題を解決するための手段】 請求項1記載の発明の液晶表示素子は、上記の課題を解決するために、薄膜トランジスタおよび蓄積容量を有し、アクティブマトリクス駆動方式で駆動される液晶表示素子において、上記蓄積容量が、非単結晶シリコンからなる第一電極と、第二電

極との間に、該非単結晶シリコンの酸化膜からなる第一絶縁膜と、上記薄膜トランジスタのゲート絶縁膜と同一の第二絶縁膜とを有してなることを特徴としている。

【0009】請求項2記載の発明の液晶表示素子は、上記の課題を解決するために、請求項1記載の液晶表示素子において、上記非単結晶シリコンは、薄膜トランジスタに供される電界効果電子移動度 $\mu$ が $5(\text{cm}^2/\text{V}\cdot\text{s})$ 以上の多結晶シリコンに、イオン注入がなされて形成されていることを特徴としている。

【0010】請求項3記載の発明の液晶表示素子の製造方法は、上記の課題を解決するために、蓄積容量を有し、アクティブマトリクス駆動方式で駆動される液晶表示素子の製造方法において、液晶表示素子基板上に非単結晶シリコンからなる薄膜を形成し、該薄膜における上記蓄積容量が形成されるべき領域以外をマスクした後、露出している該非単結晶シリコン表面を酸化して酸化膜を形成することを特徴としている。

【0011】請求項4記載の発明の液晶表示素子の製造方法は、上記の課題を解決するために、請求項3記載の液晶表示素子の製造方法において、感光性樹脂でマスクすることを特徴としている。

【0012】請求項5記載の発明の液晶表示素子の製造方法は、上記の課題を解決するために、請求項3または4記載の液晶表示素子の製造方法において、上記酸化膜上に薄膜トランジスタのゲート絶縁膜と同一の絶縁膜を形成した後、該絶縁膜上に、薄膜トランジスタのゲート電極と同一の薄膜を形成することを特徴としている。

【0013】

【作用】請求項1記載の構成によれば、蓄積容量は、非単結晶シリコンからなる第一電極と、第二電極との間に、2種類の絶縁膜、即ち、該非単結晶シリコンの酸化膜からなる第一絶縁膜と、薄膜トランジスタのゲート絶縁膜と同一の第二絶縁膜とを有してなっている。つまり、蓄積容量は、第一絶縁膜と第二絶縁膜とを有しており、薄膜トランジスタと比較して、その絶縁膜が分厚く形成されている。それゆえ、ゲート絶縁膜がより薄く形成されて、薄膜トランジスタの高性能化が図られた場合においても、蓄積容量の信頼性が損なわれることはない。即ち、蓄積容量は、第二絶縁膜がより薄く形成されて例えばピンホール等が発生し易くなった場合においても、第一絶縁膜を有しているため、上記ピンホールに由来する欠陥が発生し難くなっている。

【0014】これにより、薄膜トランジスタの高性能化を図ることができ、かつ、蓄積容量の信頼性を維持することができる液晶表示素子、即ち、薄膜トランジスタの性能、および、蓄積容量の信頼性が向上された液晶表示素子を提供することができる。

【0015】請求項2記載の構成によれば、非単結晶シリコンは、薄膜トランジスタに供される電界効果電子移動度 $\mu$ が $5(\text{cm}^2/\text{V}\cdot\text{s})$ 以上の多結晶シリコンに、イオン

注入がなされて形成されている。このように、電界効果電子移動度 $\mu$ が $5(\text{cm}^2/\text{V}\cdot\text{s})$ 以上の多結晶シリコンが用いられているので、薄膜トランジスタや蓄積容量のサイズを小さくできる。また、液晶表示素子の歩留りが向上されると共に、該液晶表示素子における開口率を維持することができる。

【0016】請求項3記載の方法によれば、液晶表示素子基板上に非単結晶シリコンからなる薄膜を形成し、該薄膜における蓄積容量が形成されるべき領域以外をマスクした後、露出している該非単結晶シリコン表面を酸化して酸化膜を形成する。この酸化膜は絶縁膜であり、従って、この酸化膜上に例えば従来の製造方法と同様にして絶縁膜を形成することにより蓄積容量を形成すると、該蓄積容量は、2種類の絶縁膜を有することとなる。つまり、従来の製造方法により製造される蓄積容量と比較して、蓄積容量の絶縁膜を分厚く形成することができる。それゆえ、例えば、ゲート絶縁膜をより薄く形成し、薄膜トランジスタの高性能化を図った場合においても、蓄積容量の信頼性が損なわれることはない。即ち、蓄積容量は、2種類の絶縁膜を有しているため、例えばピンホール等に由来する欠陥が発生し難くなっている。

【0017】これにより、薄膜トランジスタの性能、および、蓄積容量の信頼性が向上された液晶表示素子を、従来の液晶表示素子と同水準の歩留りでもって製造することができる。

【0018】請求項4記載の方法によれば、薄膜における蓄積容量が形成されるべき領域以外を感光性樹脂でマスクする。このため、上記のマスクを、蓄積容量を形成する際に用いるマスクと共通化することができる。つまり、蓄積容量の電極に例えば不純物を選択的にイオン注入し、導電性を高める場合等には、該イオン注入時に用いるマスクを、そのまま、非単結晶シリコン表面を酸化して酸化膜を形成する際に用いるマスクとして使用することができる。従って、製造工程数は、従来の製造工程数と比較して、それ程増加しない。

【0019】これにより、薄膜トランジスタの性能、および、蓄積容量の信頼性が向上された液晶表示素子を、従来の液晶表示素子と同水準の歩留りおよびコストでもって製造することができる。

【0020】請求項5記載の方法によれば、酸化膜上に薄膜トランジスタのゲート絶縁膜と同一の絶縁膜を形成した後、該絶縁膜上に、薄膜トランジスタのゲート電極と同一の薄膜を形成する。つまり、蓄積容量の電極となる薄膜と、薄膜トランジスタのゲート電極とを同一の材料で形成することができる。これにより、薄膜トランジスタの性能、および、蓄積容量の信頼性が向上された液晶表示素子を、より安価に製造することができる。

【0021】

【実施例】本発明の一実施例について図1ないし図4に基づいて説明すれば、以下の通りである。

【0022】本実施例にかかる液晶表示素子は、液晶表示装置等の平面ディスプレイ装置に供され、アクティブマトリクス駆動方式で駆動される。上記の液晶表示装置は、図3に示すように、表示部を構成するアクティブマトリクス基板（液晶表示素子）1、データ信号を出力するホールド回路2、および、走査信号を出力する走査回路3を備えている。

【0023】上記のアクティブマトリクス基板1上には、互いに平行な複数のデータ信号線（ドレインバス）4…と、互いに平行な複数の走査信号線（ゲートバス）5…と、互いに平行な複数の付加容量電極線6…とが配設されている。データ信号線4…は、ホールド回路2に電気的に接続されている。また、データ信号線4…は、走査信号線5…および付加容量電極線6…と直交している。走査信号線5…は、走査回路3に電気的に接続されている。付加容量電極線6…は、図示しない電源回路に電気的に接続されている。そして、走査信号線5…および付加容量電極線6…は、互いに並行となっている。これらデータ信号線4…、走査信号線5…および付加容量電極線6…は、AlやTi、Ta、Cr、Cu等の薄膜、或いは、AlとSiとの合金等からなる薄膜等の導電体で形成されている。

【0024】図4に示すように、アクティブマトリクス基板1上におけるデータ信号線4…と走査信号線5…との各交差点近傍には、電界効果トランジスタである薄膜トランジスタ（以下、画素TFTと称する）7、画素である画素容量8、および、信号蓄積キャパシタである付加容量（蓄積容量）9が配設されている。つまり、上記のアクティブマトリクス基板1は、ガラス、または、絶縁膜が表面に成膜された合成樹脂等からなる基板21

（図1）上に、マトリクス状に配設された多数の画素TFT7…、画素容量8…および付加容量9…を備えてなっている。

【0025】上記の画素TFT7は、多結晶シリコンからなる薄膜で形成されており、画素容量8を駆動する駆動回路となっている。図2および図4に示すように、画素TFT7のゲート電極11は走査信号線5に接続され、ソース電極12はデータ信号線4に接続され、ドレイン電極13は画素容量8および付加容量9に接続されている。また、上記多結晶シリコンからなる薄膜は、付加容量9にも供されている。

【0026】上記多結晶シリコンの電界効果電子移動度（以下、移動度と称する） $\mu$  ( $\text{cm}^2/\text{V}\cdot\text{s}$ )は、特に限定されるものではないが、 $\mu \geq 5$ が好ましい。上記の移動度 $\mu$ が5 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )以上の多結晶シリコンを形成することにより、画素TFT7や付加容量9のサイズを小さくできると共に、ホールド回路2等の構成を簡単化することができる。

【0027】尚、移動度 $\mu$ の上記好ましい範囲、つまり、下限値である5 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )は、本願発明者が回路設

計に関するシミュレーションを行い、鋭意検討した結果、得られた値である。即ち、回路設計に関するシミュレーションの結果から、非晶質（アモルファス）シリコンからなる薄膜を画素TFT7等に用いた場合の移動度の上限値である5 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )以上に、該移動度 $\mu$ を設定することにより、以下に示すような顕著な効果が得られることがわかった。つまり、移動度 $\mu$ を5 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )以上に設定すると、該移動度 $\mu$ の値が大きいため、画素TFT7や付加容量9のサイズを小さくできる。また、液晶表示素子の歩留りが向上されると共に、該液晶表示素子における開口率を維持することができる。

【0028】ゲート電極11、ソース電極12およびドレイン電極13は、AlやTi、Ta、Cr、Cu等の薄膜、或いは、AlとSiとの合金等からなる薄膜等の導電体で形成されている。また、画素TFT7のゲート絶縁膜25（図1）は、例えばSiO<sub>2</sub>からなる薄膜で形成されている。

【0029】画素容量8は、アクティブマトリクス基板1上に形成されている画素電極14と、図示しない対向基板上に形成されている対向電極15と、これら両電極14・15間に封入された液晶、即ち、液晶層（図示せず）とからなっている。画素電極14は、画素TFT7のドレイン電極13に電気的に接続されている。画素電極14および対向電極15は、例えば、ITO（Indium-tin oxide）からなる薄膜で形成されている。

【0030】そして、画素容量8は、画素電極14および対向電極15間に印加する電圧を制御することにより液晶を駆動し、該液晶が備える電気光学特性を利用して各種表示を行うようになっている。つまり、アクティブマトリクス基板1を備える液晶表示装置は、上記液晶が備える電気光学特性を利用して各種表示を行うようになっている。

【0031】付加容量9は、画素容量8の付加容量であり、画素容量8における液晶の誘電率がその異方性によって受ける影響を低減し、表示特性の向上を図るために、該画素容量8と並列に設けられている。図1に示すように、付加容量9は、付加容量電極（第一電極）16と、絶縁膜（第一絶縁膜）24およびゲート絶縁膜（第二絶縁膜）25と、付加容量電極（第二電極）17とで形成されている。つまり、付加容量9は、絶縁膜24と、画素TFT7のゲート絶縁膜25と同一の絶縁膜（説明の都合上、該絶縁膜もゲート絶縁膜25と記す）とを有している。付加容量9の一方の付加容量電極16は、画素容量8の画素電極14に電気的に接続されている。また、付加容量9の他方の付加容量電極17は、付加容量電極線6を介してアクティブマトリクス基板1外部の電極に電気的に接続されている。

【0032】付加容量電極16は、例えば、画素TFT7に供されている前記多結晶シリコンからなる薄膜に、少なくともリンやホウ素を含んだ不純物がイオン注入さ

れた化合物、つまり、非単結晶シリコンからなる薄膜で形成されている。絶縁膜 24 は、付加容量電極 16 表面、つまり、上記非単結晶シリコン薄膜表面を例えばプラズマ酸化等することにより形成された酸化膜である。また、ゲート絶縁膜 25 は、絶縁膜 24 上に形成されている。付加容量電極 17 は、Al 薄膜等の導電体、つまり、ゲート電極 11 と同一の膜で形成されている。そして、付加容量電極 17 は、ゲート電極 11 と電気的に接続されている。尚、付加容量電極 17 は、対応する画素 TFT7 と電気的に接続されていない他の走査信号線 5 に接続されているもよい。

【0033】以上のように、本実施例にかかる液晶表示素子は、付加容量 9 が、非単結晶シリコンからなる付加容量電極 16 と、導電体からなる付加容量電極 17 との間に、該非単結晶シリコンの酸化膜からなる絶縁膜 24 と、画素 TFT7 のゲート絶縁膜 25 と同一の材料からなる絶縁膜（ゲート絶縁膜 25）とを有してなっている。つまり、付加容量 9 は、絶縁膜 24 およびゲート絶縁膜 25 の 2 種類の絶縁膜を有しており、画素 TFT7 と比較して、その絶縁膜が分厚く形成されている。それゆえ、ゲート絶縁膜 25 がより薄く形成されて、画素 TFT7 の高性能化が図られた場合においても、付加容量 9 の信頼性が損なわれることはない。即ち、付加容量 9 は、ゲート絶縁膜 25 がより薄く形成されて例えばピンホール等が発生し易くなった場合においても、絶縁膜 24 を有しているため、上記ピンホールに由来する欠陥が発生し難くなっている。

【0034】これにより、画素 TFT7 の高性能化を図ることができ、かつ、付加容量 9 の信頼性を維持することができる液晶表示素子、即ち、画素 TFT7 の性能、および、付加容量 9 の耐圧性等の信頼性が向上された液晶表示素子をより安価に提供することができる。

【0035】また、本実施例にかかる液晶表示素子は、非単結晶シリコンからなる薄膜が、画素 TFT7 に供される移動度  $\mu$  が  $5 \text{ (cm}^2/\text{V} \cdot \text{s)}$  以上の多結晶シリコンに、イオン注入がなされることにより形成されている。このように、移動度  $\mu$  が  $5 \text{ (cm}^2/\text{V} \cdot \text{s)}$  以上の多結晶シリコンが用いられているので、画素 TFT7 や付加容量 9 のサイズを小さくできる。また、液晶表示素子の歩留りが向上されると共に、該液晶表示素子における開口率を維持することができる。

【0036】次に、上記構成の液晶表示素子の製造方法について、図 1 を参照しながら、以下に説明する。尚、図 1 は、図 2 の A-A 線矢視断面図である。

【0037】先ず、図 1 (a) に示すように、基板（液晶表示素子基板）21 上に、多結晶シリコンからなる薄膜である半導体層 22 を形成する。画素 TFT7 等となるべき上記半導体層 22 は、例えば、プラズマ CVD（Chemical Vapor Deposition）法や低圧 CVD 法等の CVD 法；非晶質シリコンからなる薄膜を低温で積層し

た後、600℃程度の温度で固相成長させるか、或いは、エキシマレーザ等を用いてレーザ光を照射し結晶化させる方法等の公知の方法により形成することができる。半導体層 22 の厚みは、例えば 50nm とすればよいが、特に限定されるものではない。上記の半導体層 22 は、例えばフォトエッチングにより、所定の形状とする。

【0038】次に、同図 (b) に示すように、基板 21 上に、例えばフォトリソグ（感光性樹脂）、或いは、 $\text{SiO}_2$  や  $\text{SiNx}$  等の絶縁体からなる薄膜であるドーピングマスク（マスク）23 を形成する（パターンニング工程）。上記のドーピングマスク 23 は、半導体層 22 における、付加容量 9 の付加容量電極 16 部分となるべき領域以外の領域をマスクするように形成する。

【0039】次いで、ドーピングマスク 23 にてマスクされていない上記領域に、リンを含み、かつ、イオン化された不純物を、所定の注入条件、例えば加速電圧 90 keV で、ドーズ量  $4 \times 10^{15}$  個となるようにイオン注入し、非単結晶シリコンからなる付加容量電極 16 を形成する（成膜工程）。その後、該付加容量電極 16 表面を  $\text{O}_2$  プラズマ雰囲気中でプラズマ酸化することにより、絶縁膜 24 を形成する。つまり、付加容量電極 16 を形成する際に用いたドーピングマスク 23 を、そのまま、絶縁膜 24 を形成する際に用いるマスクとして使用する。従って、上記のパターンニング工程や成膜工程等を含むフォトリソ工程、つまり、製造工程数は、従来の製造工程数と比較して、それ程増加しない。

【0040】そして、上記の絶縁膜 24 を形成した後、ドーピングマスク 23 を半導体層 22 から剥離する。尚、上記の不純物は、リンを含む代わりに、ホウ素を含んでもよい。また、加速電圧やドーズ量等の注入条件は、特に限定されるものではなく、適宜変更してもよい。

【0041】続いて、同図 (c) に示すように、基板 21 上、つまり、半導体層 22 および絶縁膜 24 上に、例えば  $\text{SiO}_2$  からなる薄膜を形成する。ゲート絶縁膜 25 となるべき該薄膜は、公知の方法により形成すればよい。ゲート絶縁膜 25 の厚みは、例えば 100nm とすればよいが、特に限定されるものではない。尚、ゲート絶縁膜 25 は、 $\text{SiNx}$  からなってもよく、また、 $\text{SiO}_2$  と  $\text{SiNx}$  とを積層してなる多層構造であってもよい。

【0042】次に、同図 (d) に示すように、画素 TFT7 のゲート電極 11、および、付加容量 9 の付加容量電極 17 となる Al 薄膜、即ち、走査信号線 5 および付加容量電極 6 となる Al 薄膜を形成する。上記 Al 薄膜の厚みは、例えば 300nm とすればよいが、特に限定されるものではない。尚、ゲート電極 11 および付加容量電極 17 は、Ti や Ta、Cr、Cu 等の薄膜で形成してもよく、また、Al と Si との合金等からなる薄膜で形成してもよい。さらに、ゲート電

極 1 1 … と付加容量電極 1 7 … とを一度に形成する代わりに、それぞれ別個に形成してもよい。

【0043】次いで、ゲート絶縁膜 2 5 … に拡散用の窓開けを行った後、半導体層 2 2 … における、画素 T F T 7 … のソース領域 2 6 … またはドレイン領域 2 7 … となる領域に、リンを含み、かつ、イオン化された不純物を、所定の注入条件、例えば加速電圧 90 keV で、ドーズ量  $4 \times 10^{15}$  個となるようにイオン注入する。これにより、ソース領域 2 6 … およびドレイン領域 2 7 … が形成される。また、半導体層 2 2 … における、両領域 2 6 ・ 2 7 間の領域は、チャネル部となる。尚、上記の不純物は、リンを含む代わりに、ホウ素を含んでもよい。また、加速電圧やドーズ量等の注入条件は、特に限定されるものではなく、適宜変更してもよい。但し、該不純物は、前記付加容量 9 … の付加容量電極 1 6 … を形成する際に用いた不純物と同種である方が望ましい。

【0044】その後、ゲート絶縁膜 2 5 …、ゲート電極 1 1 … および付加容量電極 1 7 … 上に、 $\text{SiN}_x$  の薄膜からなる層間絶縁膜 2 8 を形成する。上記層間絶縁膜 2 8 の厚みは、例えば 400nm とすればよいが、特に限定されるものではない。そして、上記の層間絶縁膜 2 8 を形成した後、ソース領域 2 6 … およびドレイン領域 2 7 … に対応する位置に、コンタクトホール 2 9 … を形成する。尚、層間絶縁膜 2 8 は、 $\text{SiO}_2$  からなっているてもよく、また、 $\text{SiO}_2$  と  $\text{SiN}_x$  とを積層してなる多層構造であってよい。

【0045】続いて、上記のコンタクトホール 2 9 … 部分に、Al の薄膜からなるソース電極 1 2 … およびドレイン電極 1 3 … を形成する。上記各電極 1 2 … ・ 1 3 … の厚みは、例えば 500nm とすればよいが、特に限定されるものではない。尚、ソース電極 1 2 … およびドレイン電極 1 3 … は、Ti や Ta、Cr、Cu 等の薄膜で形成してもよく、また、Al と Si との合金等からなる薄膜で形成してもよい。さらに、ソース電極 1 2 … とドレイン電極 1 3 … とを一度に形成する代わりに、それぞれ別個に形成してもよい。

【0046】次に、層間絶縁膜 2 8 上に、ITO の薄膜からなる画素容量 8 … の画素電極 1 4 … を形成する。上記画素電極 1 4 … の厚みは、例えば 100nm とすればよいが、特に限定されるものではない。尚、画素電極 1 4 … は、 $\text{ZnO}_2$  等からなる透明導電膜で形成してもよい。

【0047】以上の工程により、液晶表示素子が形成される。即ち、以上のように、本実施例にかかる液晶表示素子の製造方法は、基板 2 1 上に半導体層 2 2 (後に、非単結晶シリコンとなる薄膜) を形成し、該半導体層 2 2 … における付加容量 9 … が形成されるべき領域以外を、フォトリソグマスク 2 3 でマスクした後、露出している半導体層 2 2 表面を酸化して酸化膜である絶縁膜 2 4 … を形成する。そして、上記絶縁膜 2 4 … 上にゲート絶縁膜 2 5 … を形成した後、該ゲート絶

縁膜 2 5 … 上に、付加容量電極 1 7 … を形成する。従って、付加容量 9 … は、絶縁膜 2 4 およびゲート絶縁膜 2 5 の 2 種類の絶縁膜を有することとなる。つまり、従来の製造方法により製造される付加容量と比較して、製造工程数をそれ程増やすことなく付加容量 9 の絶縁膜を分厚く形成することができる。それゆえ、画素 T F T 7 の高性能化を図った場合においても、付加容量 9 の信頼性が損なわれることはない。即ち、付加容量 9 は、2 種類の絶縁膜を有しているため、例えばピンホール等に由来する欠陥が発生し難くなっている。

【0048】これにより、画素 T F T 7 の性能、および、付加容量 9 の耐圧性等の信頼性が向上された液晶表示素子を、従来の液晶表示素子と同水準の歩留りでもってより安価に製造することができる。

【0049】尚、本実施例においては、液晶表示素子であるアクティブマトリクス基板 1 が多数の画素 T F T 7 …、画素容量 8 … および付加容量 9 … 等を備えてなっている構成を例示して説明したが、液晶表示素子の構成は、上記実施例の構成に限定されるものではない。例えば、液晶表示素子は、必要に応じて他の構成要素(回路)等を備えていてもよい。

#### 【0050】

【発明の効果】本発明の請求項 1 記載の液晶表示素子は、以上のように、蓄積容量が、非単結晶シリコンからなる第一電極と、第二電極との間に、該非単結晶シリコンの酸化膜からなる第一絶縁膜と、薄膜トランジスタのゲート絶縁膜と同一の第二絶縁膜とを有してなる構成である。

【0051】それゆえ、蓄積容量は、薄膜トランジスタと比較して、その絶縁膜が分厚く形成されており、第二絶縁膜がより薄く形成されて例えばピンホール等が発生し易くなった場合においても、上記ピンホールに由来する欠陥が発生し難くなっている。これにより、薄膜トランジスタの高性能化を図ることができ、かつ、蓄積容量の信頼性を維持することができる液晶表示素子、即ち、薄膜トランジスタの性能、および、蓄積容量の信頼性が向上された液晶表示素子を提供することができるという効果を奏する。

【0052】本発明の請求項 2 記載の液晶表示素子は、以上のように、非単結晶シリコンは、薄膜トランジスタに供される電界効果電子移動度  $\mu$  が  $5 (\text{cm}^2/\text{V} \cdot \text{s})$  以上の多結晶シリコンに、イオン注入がなされて形成されている構成である。

【0053】これにより、薄膜トランジスタや蓄積容量のサイズを小さくできる。また、液晶表示素子の歩留りが向上されると共に、該液晶表示素子における開口率を維持することができるという効果を奏する。

【0054】本発明の請求項 3 記載の液晶表示素子の製造方法は、以上のように、液晶表示素子基板上に非単結晶シリコンからなる薄膜を形成し、該薄膜における蓄積

11

容量が形成されるべき領域以外をマスクした後、露出している該非単結晶シリコン表面を酸化して酸化膜を形成する方法である。

【0055】それゆえ、上記の酸化膜上に例えば従来の製造方法と同様にして絶縁膜を形成することにより蓄積容量を形成すると、該蓄積容量は2種類の絶縁膜を有することとなるので、該絶縁膜を分厚く形成することができる。つまり、例えば、ゲート絶縁膜をより薄く形成し、薄膜トランジスタの高性能化を図った場合においても、例えばピンホール等に由来する欠陥が発生し難くなっている。これにより、薄膜トランジスタの性能、および、蓄積容量の信頼性が向上された液晶表示素子を、従来の液晶表示素子と同水準の歩留りでもって製造することができるという効果を奏する。

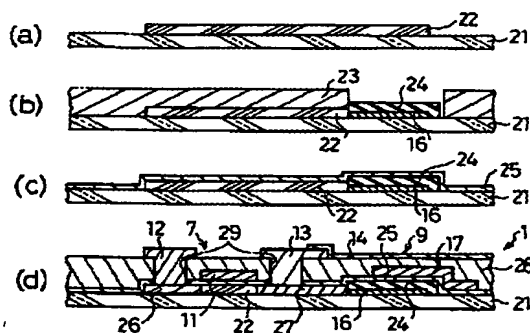
【0056】本発明の請求項4記載の液晶表示素子の製造方法は、以上のように、感光性樹脂でマスクする方法である。

【0057】それゆえ、蓄積容量を形成する際に用いるマスクを、そのまま、非単結晶シリコン表面を酸化して酸化膜を形成する際に用いるマスクとして使用することができるので、製造工程数は、従来の製造工程数と比較して、それ程増加しない。これにより、薄膜トランジスタの性能、および、蓄積容量の信頼性が向上された液晶表示素子を、従来の液晶表示素子と同水準の歩留りおよびコストでもって製造することができるという効果を奏する。

【0058】本発明の請求項5記載の液晶表示素子の製造方法は、以上のように、酸化膜上に薄膜トランジスタのゲート絶縁膜と同一の絶縁膜を形成した後、該絶縁膜上に、薄膜トランジスタのゲート電極と同一の薄膜を形成

【0059】これにより、薄膜トランジスタの性能、お

【図1】



12

よび、蓄積容量の信頼性が向上された液晶表示素子を、より安価に製造することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例における液晶表示素子の製造工程を示すものであり、(a)～(d)共に、各製造工程における液晶表示素子の要部の断面図である。

【図2】上記液晶表示素子の概略を示す要部の平面図である。

【図3】上記液晶表示素子を備えた液晶表示装置の概略を示す要部の平面図である。

【図4】上記液晶表示素子の概略の回路図である。

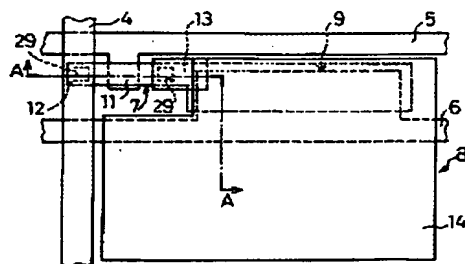
【図5】従来の液晶表示素子の概略を示す要部の平面図である。

【図6】従来の液晶表示素子の要部を示すものであり、図5のB-B線矢視断面図である。

【符号の説明】

- 1 アクティブマトリクス基板（液晶表示素子）
- 7 薄膜トランジスタ
- 8 画素容量
- 9 付加容量（蓄積容量）
- 11 ゲート電極
- 12 ソース電極
- 13 ドレイン電極
- 14 画素電極
- 16 付加容量電極（第一電極）
- 17 付加容量電極（第二電極）
- 21 基板（液晶表示素子基板）
- 23 ドーピングマスク（マスク）
- 24 絶縁膜（第一絶縁膜、酸化膜）
- 25 ゲート絶縁膜（第二絶縁膜）
- 28 層間絶縁膜

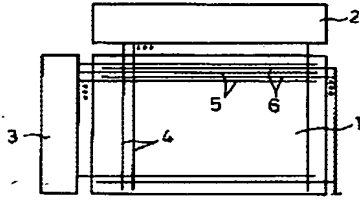
【図2】



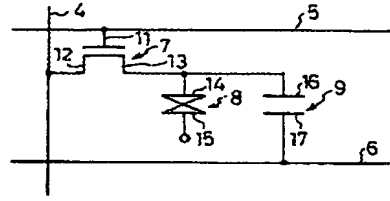
(8)

特開平8-122813

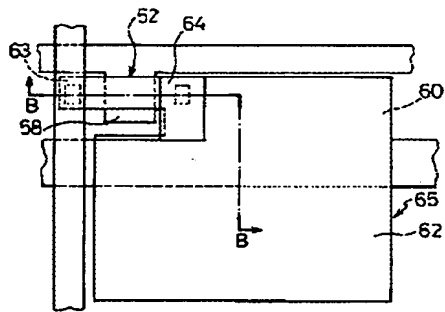
【図3】



【図4】



【図5】



【図6】

